

PAT-NO: JP358218130A  
DOCUMENT-IDENTIFIER: JP 58218130 A  
TITLE: HYBRID INTEGRATED CIRCUIT  
PUBN-DATE: December 19, 1983

INVENTOR-INFORMATION:

NAME

TAKAHIRA, KENICHI

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP57101013

APPL-DATE: June 11, 1982

INT-CL (IPC): H01L021/60, H01L023/52

US-CL-CURRENT: 257/777, 257/E21.506

ABSTRACT:

PURPOSE: To utilize a semiconductor wafer effectively, and to increase the degree of integration without augmenting an area of a substrate by mounting circuits on both surfaces of the wafer, forming a metallic pad for bonding to the surface of the wafer, and holding an IC chip on the substrate of the hybrid integrated circuit in the back while forming a solder bump for electrical connection with wiring on the substrate.

CONSTITUTION: With the hybrid integrated circuit, the circuits are mounted to both surfaces of the semiconductor wafer chip 6 mounted to the substrate 5, and the metallic pads 6a are formed to the surface side and the solder bumps 6c

to the back side for several electric connection. The IC chip 6 is arranged to the hybrid integrated circuit substrate 5, to both surfaces thereof wiring 7, 8 are executed, while directing the metallic pads 6a upward. The surface side of the IC chip 6 is connected to wiring 7 on the surface side of the substrate 5 through wire bonding, and the bumps 6c on the back side fix the IC chip 6 while being connected to wiring 7a on the surface side of the substrate 2. The wiring 7a are connected to wiring 8 on the back side of the substrate 5 through through-holes 8a.

COPYRIGHT: (C)1983, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—218130

⑮ Int. Cl.<sup>3</sup>  
H 01 L 21/60  
23/52

識別記号

庁内整理番号  
6819—5F  
6428—5F

⑬ 公開 昭和58年(1983)12月19日

発明の数 1  
審査請求 未請求

(全 2 頁)

⑭ 混成集積回路

⑯ 特 願 昭57—101013

⑰ 出 願 昭57(1982)6月11日

⑱ 発 明 者 高比良賢一  
伊丹市瑞原4丁目1番地三菱電

機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社  
東京都千代田区丸の内2丁目2  
番3号

⑳ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

混成集積回路

2. 特許請求の範囲

(1) 混成集積回路基板と、半導体ウエハの両面に回路が実装されたICチップと、このICチップの表面側に形成された上記混成集積回路基板上の配線との間でワイヤボンディングするための金属パッドと、上記ICチップの裏面側に形成され該ICチップを上記混成集積回路基板上で保持するとともに該回路基板上の配線との間で電気的接続を行なうためのハンダバンプとを備えたことを特徴とする混成集積回路。

3. 発明の詳細な説明

本発明は、混成集積回路、特に該混成集積回路基板上に実装するICチップ構造の改良に関するものである。

従来、この種の装置として第1図に示すものがあつた。図において、(1)は混成集積回路基板、(2)は半導体ウエハ上に回路を実装したICチップ、

(3a)は該チップ(2)上に形成された金属パッド、(3b)はボンディング用ワイヤ、(4)は基板(1)上の配線である。

従来の混成集積回路用ICチップ(2)を混成回路基板(1)上に配置する場合、該基板(1)上にICチップ(2)を直接搭載し、該チップ(2)上の金属パッド(3a)と基板(1)上の配線(4)とをワイヤボンディングし、金属ワイヤ(3b)によりICチップ(2)と配線(4)とを接続するようにしている。このため該チップ(2)の構造は第1図から理解できるようにウエハに片面しか回路を実装できず、ウエハを有効利用していない。またこのことが基板(1)の面積を増大させる原因にもなっている。

この発明は上記のような従来のものの欠点を除去するためになされたもので、半導体ウエハの両面に回路を実装し、該ウエハの表面にはボンディング用の金属パッドを形成し、裏面には混成集積回路基板上にICチップを保持するとともに該基板上の配線と電気的に接続するためのハンダバンプを形成することにより、ウエハを有効利用でき、

基板の面積を増大させずに高集積度化を達成できる混成集積回路を提供することを目的としている。

以下、この発明の一実施例を図について説明する。

第2図は本発明の一実施例による混成集積回路の断面図である。

本発明による混成集積回路は、基板(5)に実装する半導体ウエハチップ(6)の両面に回路を実装し、それぞれの電気的接続のために表側に金属パッド(6a)、裏側にハンダパンブ(6c)を形成したものである。

両面に配線(7)(8)を施した混成集積回路基板(5)に上記の構造のICチップ(6)が金属パッド(6a)を上にして配置されている。ICチップ(6)の表側はワイヤボンディングにより基板(5)の表側の配線(7)に接続され、裏側のパンブ(6c)はICチップ(6)を固定するとともに、基板(5)の裏側の配線(8a)に接続されている。なおこの配線(8a)はスルーホール(8a)を介して基板(5)の裏側の配線(8)につながっているものである。

集積回路基板にICチップを保持するとともに該基板上の配線と電気的に接続するためのハンダパンブを形成するようにしたので、従来の片面しか利用しなかつたICチップより、チップをより効果的に利用でき、高集積度の混成集積回路を小型化して得ることができる効果がある。

#### 4. 図面の簡単な説明

第1図は、従来のICチップを用いた混成集積回路の断面図、第2図は本発明の一実施例による混成集積回路の断面図、第3図は本発明の他の実施例による混成集積回路の断面図である。

(6)(9)00…ICチップ、(6a)(9a)(10a)…金属パッド、(6c)(9c)(10c)…ハンダパンブ、(5)…基板、(7)(8)…配線。

なお図中同一符号は同一又は相当部分を示す。

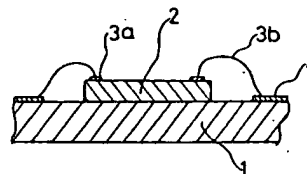
代理人 葛野信一

なお、第2図に示す例では単層の基板を用いているが、勿論多層の基板にも利用でき、この場合、より高集積度な混成集積回路を実現できる。

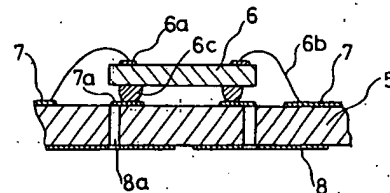
第3図は上記の様なICチップを重畳して用いる例を示す。図において、00は基板(5)上に配置されたICチップである。チップ00の裏側の回路はワイヤ(10b)により基板(5)の裏側の配線(7)と接続され、裏側の回路はハンダパンブ(10c)により、基板(5)の裏側の配線(8)につながっている配線(7a)に接続されている。またICチップ(9)はチップ00の上に配置されており、両チップ(9)00の裏側の回路は金属パッド(9a)(10a)およびワイヤ(9b)を介して接続され、チップ(9)の裏側の回路はハンダパンブ(9c)および金属配線(10d)によりチップ00の裏側の回路と接続されている。このようにすれば立体的にICチップを実装でき、さらに高集積度な混成集積回路が実現可能となる。

以上のように、この発明によれば半導体ウエハの両面に回路を実装し、該ウエハの表面にはボンディング用の金属パッドを形成し、裏面には混成

第1図



第2図



第3図

